

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平11-514158

(43) 公表日 平成11年(1999)11月30日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/10
21/822
21/8242
21/8247
27/04

4 5 1

H 0 1 L 27/10
29/78
27/04

4 5 1

6 5 1

3 7 1

C

審査請求 有 予備審査請求 有 (全 29 頁) 最終頁に続く

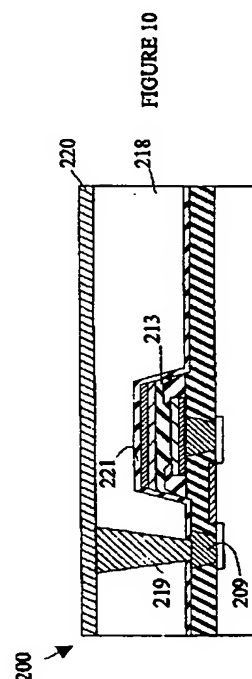
(21) 出願番号 特願平10-509003
 (86) (22) 出願日 平成9年(1997)7月25日
 (85) 翻訳文提出日 平成11年(1999)1月29日
 (86) 国際出願番号 PCT/US97/13082
 (87) 国際公開番号 WO98/05074
 (87) 国際公開日 平成10年(1998)2月5日
 (31) 優先権主張番号 08/688, 064
 (32) 優先日 1996年7月29日
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, L U, MC, NL, PT, SE), AU, CA, J P, K R

(71) 出願人 ラディアント・テクノロジー・インコーポレーテッド
 アメリカ合衆国ニューメキシコ州87106, アルバカーキ, サウスイースト, ブラッドバリー・ドライブ 1009
 (72) 発明者 エヴァンス, ジョセフ・ディー, ジュニア
 アメリカ合衆国ニューメキシコ州87112, アルバカーキ, ノースイースト, ヴァーベナ・プレイス 13609
 (74) 代理人 弁理士 社本 一夫 (外5名)

(54) 【発明の名称】 低キュリー点強誘電体及びカプセル封じを用いた強誘電体系記憶装置

(57) 【要約】

情報を記憶する強誘電性メモリセル(200)が開示される。情報は、残留分極の方向を設定することによって、強誘電層(213)の残留分極に記憶される。強誘電性メモリセルは、第1の温度よりも低い温度で情報を記憶するように構成されている。メモリセルは、誘電層(213)を間に挟んでいる上部及び下部接点を備えており、上記誘電層は、上記第1の温度よりも高く400°Cよりも低いキュリー点を有する強誘電物質を含んでいる。誘電層(213)は、酸素不透過性の物質の中に封緘され、これにより、封緘層(221)は、誘電層(213)に対する酸素の流入又は流出を阻止する。上記接点の中の一方向の接点は、一般的に、白金電極を含んでいる。他方の接点は、同様の電極、あるいは、その上で隔置された電極を有する半導体層を含むことができる。



【特許請求の範囲】

1. 第1の温度よりも低い温度で情報を記憶するように動作する強誘電性メモリセル(200)であって、

下部接点(202)と、

前記第1の温度よりも高く400°Cよりも低いキュリー点を有する強誘電物質から成る誘電層(213)であって、前記強誘電体は、前記第1の温度よりも低い温度で残留分極を有し、該残留分極を変えることによって前記情報を記憶するようになされている、誘電層(213)と、

前記下部電極との間に前記誘電層(213)を挟んでいる上部接点(214、215)と、

酸素不透過性の物質から成る封緘層(221)であって、該封緘層(221)は、前記誘電層(213)への酸素の流入又は前記誘電層からの酸素の流出を阻止するように構成されたもの、とを備えることを特徴とする強誘電性メモリセル。

2. 請求項1に記載の強誘電性メモリセルにおいて、前記強誘電物質は、鉛／ジルコニウムチタン酸塩から構成されること、を特徴とする強誘電性メモリセル。

3. 請求項1に記載の強誘電性メモリセルにおいて、前記下部接点(202)は、白金電極から構成されること、を特徴とする強誘電性メモリセル。

4. 請求項3に記載の強誘電性メモリセルにおいて、前記上部接点(214、215)は、白金電極から構成されること、を特徴とする強誘電性メモリセル。

5. 請求項3に記載の強誘電性メモリセルにおいて、前記上部接点(214、215)は、半導体層と、第1及び第2の上部電極とから構成され、前記第1及び第2の上部電極は、前記半導体層の上で隔置されていること、を特徴とする強誘電性メモリセル。

6. 請求項1に記載の強誘電性メモリセルにおいて、前記酸素不透過性の物質は、チタンの酸化物から構成されること、を特徴とする強誘電性メモリセル。

7. 請求項2に記載の強誘電性メモリセルにおいて、前記強誘電物質は、+

4 よりも大きな酸化状態を有する元素でドーピングされていること、を特徴とする強誘電性メモリセル。

8. 請求項 7 に記載の強誘電性メモリセルにおいて、前記ドーピング元素は、Nb、Ta 及び W から成る群から選択されること、を特徴とする強誘電性メモリセル。

9. 請求項 7 に記載の強誘電性メモリセルにおいて、前記ドーピング元素は、1 % と 8 % との間の濃度で存在すること、を特徴とする強誘電性メモリセル。

【発明の詳細な説明】

低キュリー点強誘電体及びカプセル封じを用いた強誘電体系記憶装置

発明の分野

本発明は、強誘電体系の記憶装置に関し、より詳細に言えば、メモリシステムに使用される改善型の強誘電体キャパシタ及び強誘電体 F E T に関する。

発明の背景

コンピュータのメモリは、通常、そのメモリから電力が取り除かれた場合にそのメモリが記憶している情報を保持するか否かということによって分類される。通常の D R A M 及び S R A M は、電力が取り除かれた場合にその内容を失うメモリの例である。E E P R O M 及びフラッシュ R A M は、不揮発性メモリの例である。不揮発性メモリのビット当たりのコストは、依然として十分に高く、多くの用途で使用されるには至っていない。また、メモリの基礎的な構造は、揮発性メモリに比較して、比較的少ない回数しか書き込むことができない。例えば、E E P R O M のメモリセルは、約 1 0 4 回書き込むことができる。また、E E P R O M にデータを書き込むために必要とされる時間は、揮発性メモリに書き込むために必要とされる時間よりも大幅に長い。従って、E E P R O M のセルは、比較的限定されたクラスの用途を有している。

あるクラスの不揮発性記憶装置は、該記憶装置の中の強誘電性の誘電層の分極方向を変えることにより、情報を記憶する。そのような記憶装置は、誘電層が強誘電物質で置き換えられているキャパシタと構造的に類似している。実際に、あるクラスの記憶装置は、構造的には、誘電層が強誘電層で置き換えられているキャパシタである。そのような記憶装置においては、強誘電体は、2つの方向の中の一つの方向に分極することができる。分極方向は、一方の分極方向に対応する” 1 ”、及び、反対の分極方向に対応する” 0 ” の情報を記憶するために使用される。誘電体の分極は、システムから電力が取り除かれた時に維持され、従って、非揮発性の動作をもたらす。

分極の方向は、キャパシタの前後の分極を切り換えるに十分な電位を与えることにより、感知することができる。説明の便宜上、与えられる電位差は、誘電体

を”1”に対応する分極状態に切り換える電位差であると仮定する。読取り電位が与えられる前に、キャパシタが分極されて”1”を記憶した場合には、その分極は、読取り電圧によって変更されることはない。しかしながら、読取り電位が与えられる前に、キャパシタが分極されて”0”を記憶した場合には、分極方向が切り換えられることになる。この切換え動作は、キャパシタの一方のプレートから他方のプレートへ流れる電流を生じさせることになる。感度増幅器すなわちセンスアンプが、読取り電位に応答して流れる電流を測定して、キャパシタの状態を決定する。キャパシタが読み取られた後に、読取り電位がキャパシタの状態を切り換える場合には、そのデータをキャパシタに書き込まなければならない。

強誘電性キャパシタは、通常、強誘電物質の層を下部電極の上に設け、その後、上記強誘電層の上に上部電極を設けることによって構成される。PZTに基づく強誘電層は、当業者には周知である。そのような材料は、蒸着の後に比較的高い温度まで加熱されて、所望の強誘電特性を有するペロブスカイト型構造を形成する。誘電体膜は、アニーリングプロセスの後に、多数のドメインを含む。個々のドメインは各々、ペロブスカイト物質のモノドメイン (mono-domain) 単結晶の自発分極と等価の自発分極を有する。蒸着プロセスの終了時に、ドメインは、通常、ランダムに配向される。

上記タイプのメモリは、当業者にはしばらくの間周知であったが、このタイプのメモリの商業的な実現化は、「インプリント (imprint)」及び「疲労 (fatigue)」と一般的に呼ばれている2つの問題のために、限定されていた。インプリントとは、強誘電性キャパシタが、そこに記憶されているデータに応じて正の又は負の方向に、電圧軸に沿ってヒステリシス曲線のシフトすなわち移動を示す傾向である。この傾向は、2つの理由の中のいずれかの理由によって、論理状態の故障を生ずることがある。第1の理由は、十分なシフトの後に、両方の論理状態が感度増幅器に同じように現れるからである。また、第2の理由は、保磁電圧が、利用可能なプログラミング電圧によって切り換えるには大きくなり過ぎるからである。いずれかのケースに遭遇すると、キャパシタに基づくメモリセルは使用不能になる。

疲労とは、誘電層の残留分極の大きさが低下して、分極方向が多数回変化するものである。キャパシタが切り換えられる際に移動する電荷の量は、残留分極に関係するので、キャパシタは、最終的に、不十分な電荷の移動が検知される点に到達する。この点において、キャパシタに基づくメモリセルも使用不能になる。

強誘電性FETに基づくメモリセルも当業者には周知である。これらの構造は、互いに隔置された状態で設けられた2つの電極を有する半導体物質の層によって上部電極が置き換えられた、キャパシタと見ることができる。この場合にも、データは、強誘電層の分極方向に記憶される。分極の状態は、半導体層の抵抗率を変化させる電界を生じさせる。すなわち、上記2つの電極の間で測定される抵抗は、強誘電層の分極方向に依存する。このクラスのデバイスは、デバイスの読取りを行う度毎に強誘電層を切り換えることを必要としないという利点を有している。

従来技術の強誘電性FETに基づくメモリは、そのようなデバイスの有用性を制限する保持の問題を有している。データが周期的に書き換えられなければ、そのデータは失われる。従来技術の強誘電性FETメモリもまた、疲労の問題を有している。

以下の説明を簡明にするために、強誘電性メモリセルという用語は、強誘電性FET及び強誘電性キャパシタの両方を含むものとして定義される。上述のように、そのようなデバイスは、キャパシタの上部電極を構成する態様において差異があるものと見ることができる。

多少なりとも理想的な強誘電性メモリセルを実験室で証明することができるが、そのようなセルを実装されたメモリチップに組み込もうとする試みは、満足すべき部品を提供することができなかった。一般的に、メモリチップは、通常のCMOS製作技術を用いてシリコン基板の上に構成された回路素子を備えている。CMOS回路素子は、絶縁トランジスタ、感度増幅器、及び、読取り作業及び書込み作業を行うための特定の強誘電性メモリセルを選択するために必要とされる復号回路素子を提供する。強誘電性メモリセルは、一般的に、CMOSの絶縁トランジスタに隣接するパッドの上にCMOS回路素子を構成した後に、構成される。しかしながら、CMOSの絶縁トランジスタの上に強誘電性メモリセルが構

成さ

れているメモリも説明されている。この後者の場合には、二酸化シリコンの如き絶縁層が最初に、CMOS構造の上に設けられる。

強誘電性メモリセルがCMOS回路要素の上に構成された後に、多数の別の処理工程が、メモリを完成させるために必要とされる。そのような処理工程の中の2つの処理工程は、総てのタイプのメモリに共通である。第1の処理工程においては、アルミニウムの如き導電体を蒸着させることによって、強誘電性メモリセルとその下のCMOS回路素子との間の種々の接続を行う必要がある。その後の第2の処理工程においては、回路全体を二酸化シリコンの如きパッシベーション層で覆う。次に、不動態化されたウエーハに形成ガスアニール（forming gas anneal）を施して、ウエーハを水素／窒素雰囲気中で350°C乃至400°Cまで加熱する。

上述の最後の2つの工程を完了するまでは、満足すべきデバイスを証明することができるが、そのような工程における何等かの要因が、デバイスのパフォーマンスを低下させる。形成ガスアニールの後に、キャパシタに基づくデバイスは、許容できないインプリントの問題並びに不良なヒステリシス曲線を示す。同様に、強誘電性FETに基づくデバイスは、不良なヒステリシス曲線及び不良なデータ保持を示す。

広い意味で言えば、本発明の目的は、改善された強誘電性メモリセルを提供することである。

本発明の別の目的は、形成ガスアニールを含むその後の処理工程を施した後にも満足すべき作動を行う、強誘電性メモリセルを提供することである。

本発明の上述の及び他の目的は、本発明に関する以下の詳細な説明及び添付の図面から、当業者には明らかとなろう。

発明の概要

本発明は、情報を記憶するための強誘電性メモリセルである。情報は、残留分極の方向を設定することにより、強誘電層の残留分極として記憶される。強誘電性メモリセルは、第1の温度よりも低い温度で情報を記憶するように構成されて

いる。メモリセルは、上部及び下部の接点を備えており、これら上部及び下部の接点は、上記第1の温度よりも高く400°Cよりも低いキュリー点を有する強

誘電物質を含む誘電層を挟んでいる。上記誘電層は、酸素不透過性物質の中に封緘（カプセル封じ）され、これにより、封緘層は、上記誘電層への酸素の流入及び上記誘電層からの酸素の流出を阻止する。上記接点の中の一方の接点は、一般的に、白金電極を含んでいる。他方の接点は、同様な電極、あるいは、その上で隔置された電極を有する半導体層を含むことができる。

図面の簡単な説明

図1は、強誘電性キャパシタを用いたメモリセルの概略図である。

図2は、強誘電性FETを用いてデータを記憶するメモリの語すなわちワードの概略図である。

図3は、強誘電性キャパシタの断面図である。

図4は、強誘電性FETの断面図である。

図5乃至図10は、製作プロセスの種々の工程にある本発明のメモリセルの断面図である。

発明の詳細な説明

大型メモリの1ビットのメモリセルは、一般的に、絶縁トランジスタと、強誘電性メモリセルとを備えている。上述のように、強誘電性メモリセルは、キャパシタ又は強誘電性FETに基づくことができる。ここで、強誘電性キャパシタに基づくメモリシステムのメモリのワードの概略図である図1を参照する。ワード100は、セル105、125で代表される複数の1ビットセルを備えている。各々の1ビットメモリセルは、トランジスタ104と組み合わされた強誘電性キャパシタ102を備えている。このキャパシタの強誘電物質は、電氣的な可逆性を有する残留分極を有している。逆転された時に、大きな補償電荷がキャパシタの2つのプレートの間の流れなければならない。トランジスタ104は、スイッチとして作用して、キャパシタ102をビット線106、126で代表されるビット線に接続する。この接続は、ワード線107の信号に応答して行われる。各々のビット線に関連して設けられる感知回路が、キャパシタ102に流れる電荷

を測定する。代表的な感知回路が、参照符号109で示されている。

書込み作業を行うために、ワード線を活動化させてトランジスタ104を「オン」にし、ビット線106を「ハイ (high)」又は「ロー (low)」に設定し、その後、プレート線108にパルスを与える。キャパシタの分極方向は、ビット線106の状態によって設定される。

読取り作業を行うために、トランジスタ104を「オン」にし、プレート線108にパルスを与える。キャパシタの電荷は、ビット線106に送り出され、そこで感知回路109によって測定される。キャパシタの分極が読取りパルスによって切り換えられると、電流はビット線106に流れることになる。反対に、キャパシタ102の分極が、読取りパルスによって与えられる方向に既に配向されている場合には、ほんの小さな電流がビット線106に流れることになる。いずれの場合でも、分極は、キャパシタ102の元々の分極方向に関係無く、読取り作業の後に読取りパルスによって特定された方向を向くことになる。読取り作業によってデータが破壊された場合には、感知回路109は、読取り作業の後に、正しいデータの再書込み作業を行う。

強誘電性FETに基づくメモリは、幾分複雑であって、多数の異なる単一のワードメモリ構造が可能である。しかしながら、これらの構造は総て、パストランジスタ (pass transistor) に接続された強誘電性FETを備えている。ここで、強誘電性FETを用いてデータを記憶するメモリのワード1200の概略図である図2を参照する。ワード1200の各々のビットは、強誘電性FETを備えている。各々のビットは、1ビットメモリセル1205、1225で代表される1ビットメモリセルに記憶される。1ビットメモリセルは各々、ソース線1221をビット線に接続している。1ビットメモリセル1205、1225のビット線は、参照符号1206、1226でそれぞれ示されている。1ビットメモリセルは各々、強誘電性FET1204と、パストランジスタ1202とを備えており、該パストランジスタ1202は、強誘電性FET1204をソース線1221及び対応するビット線間に接続している。選択された各々の強誘電性FET1204の抵抗は、感知回路によって測定される。ビット線120

6、1226に対応する感知回路は、参照符号1209、1229でそれぞれ示されている。パストランジスタは、ワード線1220を介して制御される。データが強誘電性FETに記憶される態様は、使用する特定の構造に依存する。ここにおける説明の目的としては、適宜な信号をソース線1221及びゲート線12

22にワード線1220の信号と組み合わせて与えることによって、強誘電体の分極を切り換えることができるというだけで十分である。

代表的な強誘電性キャパシタの断面図が、図3に参照符号300で示されている。キャパシタ300は、下部電極312と、強誘電層314と、上部電極318とを備えている。比較として、代表的な強誘電性FETの断面図が、図4に参照符号400で示されている。強誘電性FET400も、参照符号412で示される下部電極と、参照符号414で示される強誘電層とを備えている。半導体層416が、強誘電層414の上に設けられている。次に、2つの電極418、419が、半導体層416の上に設けられる。半導体層416は、強誘電層414の分極によって抵抗が調節される、可変抵抗器と見ることができる。半導体層416の抵抗は、2つの電極418、419の間に電位が付与された時にこれら2つの電極の間に流れる電流を測定することによって、測定することができる。下部電極412は、通常のFETのゲートと類似しており、電極418、419は、通常のFETのドレーン及びソースに類似している。

図1及び図2を比較すると、両方のタイプのメモリは、多くの共通する特徴を有していることが分かる。メモリの各々のワードは、複数の強誘電性メモリセルから構成されていて、各々の強誘電性メモリセルは、パストランジスタに接続されている。いずれの場合にも、各々の強誘電性メモリセルの下部電極は、共通の線に接続されており、強誘電性メモリセルの頂部の接続部の中の一つの接続部が、パストランジスタに接続されている。強誘電性FETに基づくメモリの場合には、強誘電性メモリセルの頂部には第2の接続部が設けられている。

本発明が従来技術よりも優れた利点を獲得する態様は、製作プロセスの種々の工程にあるメモリセル200の断面図である図5乃至図10を参照することにより、容易に理解することができる。メモリセル200は、強誘電性キャパシタに

基づいている。しかしながら、本発明の教示が強誘電性FETに基づくメモリセルにも適用することができることは、以下の記載から当業者には理解されよう。

ここで図5を参照する。絶縁トランジスタは、シリコン基板203の上に既に形成されているものと仮定する。トランジスタのドレーン、ゲート及びソースは、参照符号204、205、206でそれぞれ示されている。トランジスタは、S

iO₂の層207によって覆われており、この層を通してパイアがエッチングにより形成されている。接点208、209が上記パイアの中に成長されており、これら接点はポリシリコンから形成されるのが好ましい。約1,500 Åの白金層210が、SiO₂層207の頂部に設けられていて、接点208と電氣的に接触している。その後、約600 Åのオーミック物質層211が白金層210の上に設けられる。好ましいオーミック接触物質は、LSCO（ランタン／ストロンチウム／コバルト酸化物）である。オーミック接触物質は、疲労の問題を低減する。しかしながら、オーミック接触層を用いない実施の形態も、本発明の教示から逸脱することなく構成することができる。

本発明の好ましい実施の形態においては、チタン又は窒化チタンの薄層201が、白金層を設ける前に、SiO₂の上に設けられる。上記薄層は、白金をポリシリコン及びSiO₂に接合する「接着剤」の役割を果たす。また、上記接着層は、ポリシリコン層及び白金層が相互作用を行うのを阻止する。上記接着層は、一般的に、200 Åである。

ここで図6を参照する。上述の層を設けた後に、オーミック接触層及び白金層をエッチングして、キャパシタ202の下部電極を形成する。上記エッチング操作は、ECR塩素プラズマRIEとして行うのが好ましい。次に、図7に示すように、約600 Åのバリヤ層212をチップの表面に設け、電極202の上に窓を開口させる。好ましいバリヤ層は、TiO₂であって、このTiO₂は、CCl₄又はCF₄のプラズマを用いてエッチングされる。バリヤ層は、白金接点の周囲における強誘電層とSiO₂との間の相互作用を防止するために必要とされる。

次に、強誘電層213（約1,200 Å）、並びに、オーミック層214（約

600 Å) 及び白金層 215 (約 1,000 Å) を有する上部電極が、図 8 に示すように設けられる。次に、ECR 塩素プラズマ RIE を用いて上記層を積層エッチングして、図 9 に参照符号 216 で示すキャパシタ構造を形成する。上記積層エッチングは、上部電極 215 の下にある領域のバリヤ層を除去した後に停止するように調時されることに注意する必要がある。積層エッチングは、SiO₂ 層 207 の一部まで伸長する。積層エッチングの終了点は、そのエッチングの間隔に除去された材料を観察することにより、検知することができ、上記終了点は、除

去された材料の中に Ti が存在しなくなる時点である。

ここで、図 10 を参照する。上部電極構造及び強誘電層の積層エッチングを行った後に、誘電物質 (TiO₂ が好ましい) の層 221 (約 400 Å) をチップに設ける。次に、上記層を SiO₂ の層 218 (約 2,000 Å) で覆い、ポリシリコン接点 209 へのパイアを開口する。このパイアは、2つの工程でエッチングされる。最初に、CF₄ のプラズマエッチを用いて、SiO₂ を除去する。次に、CCl₄ のエッチを用いて、TiO₂ を除去する。次に、接点 209 のポリシリコン延長部 219 を成長させ、アルミニウムのビット線 220 を設ける。そうではなく、上記延長部は、ポリシリコンではなくアルミニウムでウェルを充填することにより、構成することができる。アルミニウムを設ける前に、ウエーハのアニール処理を行って、誘電層 221 を設けることによって生ずる強誘電体の損傷を総て取り除くことができる。

上述のように、回路は、一般的に、二酸化シリコンの如きパッシベーション層で覆われている。次に、不動態化されたウエーハに形成ガスアニールを施して、水素/窒素雰囲気中で 350°C 乃至 400°C まで加熱する。従来技術のメモリシステムにおいては、上述の最後の工程は、強誘電性メモリセルに損傷を与え、メモリを使用不能にする。

本発明は、多くの観察に基づくものである。好ましい強誘電体は、PZT に基づいている。好ましい誘電体は、+4 よりも大きな酸化状態を有する物質でドーピングされている、チタン酸ジルコニウム鉛 (lead zirconium ti

tanate)である。この誘電体を堆積させてアニール処理を行って、ペロブスカイト型構造を形成する。単純なペロブスカイト型構造は、立方体のユニットセルである。大きなカチオン(A)が、立方体の隅部を占め、小さなカチオン(B)が、立方体の中央の位置を占め、更に、酸素イオンがユニットセルの面の中心を占める。上記構造の一般化された化学式は、通常、 ABO_3 で表される。PZT物質に関して、Aのサイトは、一般的に、鉛で占められており、Bのサイトは、一般的に、ジルコニウム又はチタンで占められている。酸素の空格子点の数が、デバイスのパフォーマンスに重要であることが分かっている。+4よりも大きな酸化状態を有するドーパントを用いると、酸素の空格子点の効果を調節することができる。

本発明は、形成ガスアニールによって起こる損傷が2つのファクタから生ずるという観察に部分的に基づいている。第1のファクタは、不均一な電荷分布が強誘電層に生ずるということであり、そのような不均一な電荷分布は、強誘電層が形成ガスアニールの間に加熱される時に発生する。強誘電層が元々設けられていて結晶化している場合には、強誘電層は、電氣的に分極されたドメインを有しており、従って、局所的な電界を与える。しかしながら、存在するキャリアは総て、不均一に分布されている。強誘電層が、強誘電物質のキュリー点よりも低い温度まで加熱されると、キャリアは伝導帯中に上昇し、上述の局所的な電界の影響の下で移動する。次に、上記キャリアは、形成ガスアニールの後にデバイスが冷却された時に上記ドメインの終了点で凍結し、不均一な電荷分布の原因になる。

上記不均一な電荷分布は、強誘電体をそのキュリー点よりも高い温度まで加熱することにより除去することができる。キュリー点よりも高い温度では、ドメイン及びこれにより生じた電界が消滅する。次に、蓄積された電荷が、それ自体の電界の下で移動して、再分布される。次に、デバイスを急速に冷却して、ドメインが再形成される時に不均一な電荷分布が再度生ずるのを防止する。従って、原則的には、形成ガスアニールの間の加熱により生ずる損傷は、強誘電体のキュリー点よりも高い温度で強誘電性メモリセルのアニール処理を行うことにより、逆転させることができる。都合の悪いことに、従来技術のデバイスは、 450°C

よりも高いキュリ一点を有する物質から形成された強誘電層で構成されていた。従って、アニール処理を、 450°C よりも高い温度で行う必要がある。そのようなアニール処理は、回路に長い導電経路を形成するために使用されるアルミニウムの導体に損傷を与える恐れがある。

形成ガスアニールによって生ずる第2の損傷原因は、強誘電層の酸素空格子点の分布が変化することによるものである。強誘電性メモリセルを水素雰囲気中で加熱すると、酸素は、強誘電層から逃げることができる。この酸素の損失は、酸素の空格子点の密度に影響を与える。上述のように、酸素の空格子点の濃度を調節する必要があるということが、実験的に見い出されている。従って、導体が損傷する温度よりも低いキュリ一点を有する強誘電層を用いた場合でも、形成ガスアニールの間の酸素の損失を補正することができない。

本発明は、低キュリ一点強誘電体、並びに、形成ガスアニールの間の酸素の移動を阻止する酸素不透過性のバリヤを組み合わせる用いることにより、その利点を達成する。本発明の好ましい実施の形態においては、強誘電層は、形成ガスアニールが実行される温度よりも 50°C 低いキュリ一点を有する、PZT組成物から構成されている。従って、形成ガスアニールは、不均一な電荷分布を生ずることはない。実際に、形成ガスアニールは、強誘電層がその結晶化の後に加熱される製作工程によって起こる、不均一の電荷分布を総て取り除くことになる。形成ガスアニールは、通常、 $350-400^{\circ}\text{C}$ で実行されるので、本発明は、 300°C と 400°C との間のキュリ一点を有するPZT組成物を用いるのが好ましい。

使用することのできるキュリ一点には下限が存在することに注意する必要がある。記憶装置は、強誘電体の残留分極として情報を記憶する。一般的に、一方の方向の分極を用いて"0"を記憶し、また、反対の方向の分極を用いて、"1"を記憶する。デバイスの動作温度がキュリ一点に近すぎると、そのキュリ一点において残留分極も消滅するので、情報は失われることになる。この点に関して、大部分の強誘電体組成物にはドメインの統計的な分布が存在することに注意を払うことが重要である。従って、ドメインの幾つかは、温度がキュリ一点に到達す

る前に失われることになる。その結果、本発明は、メモリの動作温度よりも好ましくは 150°C 高いキュリー点を有する強誘電体を使用する。一般的に、 450°C で15分間にわたって、あるいは、 400°C で30分間にわたって実行することのできる回復アニール処理に一致する、最も高いキュリー点が好ましい。

下の表1は、種々のPLZTの組成物、並びに、これらから生ずる誘電体のキュリー点を示している。ここにおいて、 $x/y/z$ の組成は、強誘電体が、Aサイトに $x\%$ の鉛を有していて、残りのAサイトはLaで充填されていることを意味している。Bサイトは、 $y\%$ のZr及び $z\%$ のTiを有している。

表 1

組 成	キュリー点 ($^{\circ}\text{C}$)
8/20/80	~300
8/40/60	240
12/40/60	140
0/65/35	370
2/65/35	320
6/65/35	190
7/65/35	155
8/65/35	110
1/45/55	~380
4/30/70	~380

上述の+4よりも大きい酸化状態を有するドーパントは、また、PZTのキュリー点を抑制することにも注意する必要がある。従って、そのようなドーパントを有するPZTから形成された低キュリー点強誘電体は、二重の利益をもたらす。例えば、1%乃至4%のNbでドーパされたPZTは、 300°C から 350°C の範囲のキュリー点を示す。同様に、0.5%から2%の範囲のタングステンでドーパされたPZTを用いることもできる。

上述のように、キュリー点よりも高い温度でのアニール処理だけでは、強誘電

層と形成アニールガスの混合物との間の酸素の交換によって生ずる欠陥をなおすことができない。本発明は、強誘電層を酸素不透過性のバリア物質の中に封緘することによって、上記問題を解消する。本発明の好ましい実施の形態においては、酸素バリア物質は、 TiO_2 である。そのような封緘層が、図 9 に参照符号 221 で示されている。上記封緘層は、酸素の交換を防止し、従って、形成ガスアニールによって生ずる損傷を阻止する。

上の説明においては、キャパシタの製作を示す図面を用いたが、本発明の教示は、強誘電性 FET に基づく強誘電性メモリセルにも等しく適用することができることは理解されよう。強誘電性 FET は、構造的には、上部電極を 2 つの電極を有する半導体層で置き換えたものである。従って、上部電極には第 2 の接続部を形成しなければならない。しかしながら、低キュリー点強誘電体と共に封緘作業を用いることが、強誘電性 FET に基づくデバイスにおけるように重要であり、その理由は、そのようなデバイスは、形成ガスアニールによって生ずる損傷を受けるからである。そのような損傷は、強誘電層における変化から生じ、従って、上部電極の構造はそのような損傷には殆ど影響を与えない。

本発明の上述の実施の形態は、特定の形態の電極を用いている。しかしながら、本発明の利点は、使用する電極構造のタイプに無関係であることは理解されよう。

強誘電性 FET の場合には、「上部電極」のための好ましい半導体も、酸素の空格子点の濃度によってその導電率が決定される、酸化物であることに注意する必要がある。また、デバイスを酸素不透過性のバリアの中に封緘することにより、半導体層を設けた後に実行されるアニール作業の間に、半導体層の酸素空格子点の濃度変化を防止する。

本発明の上述の好ましい実施の形態は、基本的に、PZT に基づく強誘電体を用いているが、本発明の教示がストロンチウム／ビスマスのタンタル酸塩の如き他の強誘電物質にも適用することができることは、当業者には理解されよう。

上の説明及び添付の図面から、当業者が本発明に種々の変更を加えることができることは明らかである。従って、本発明は、以下の請求の範囲によってのみ限

定されるべきである。

【図1】

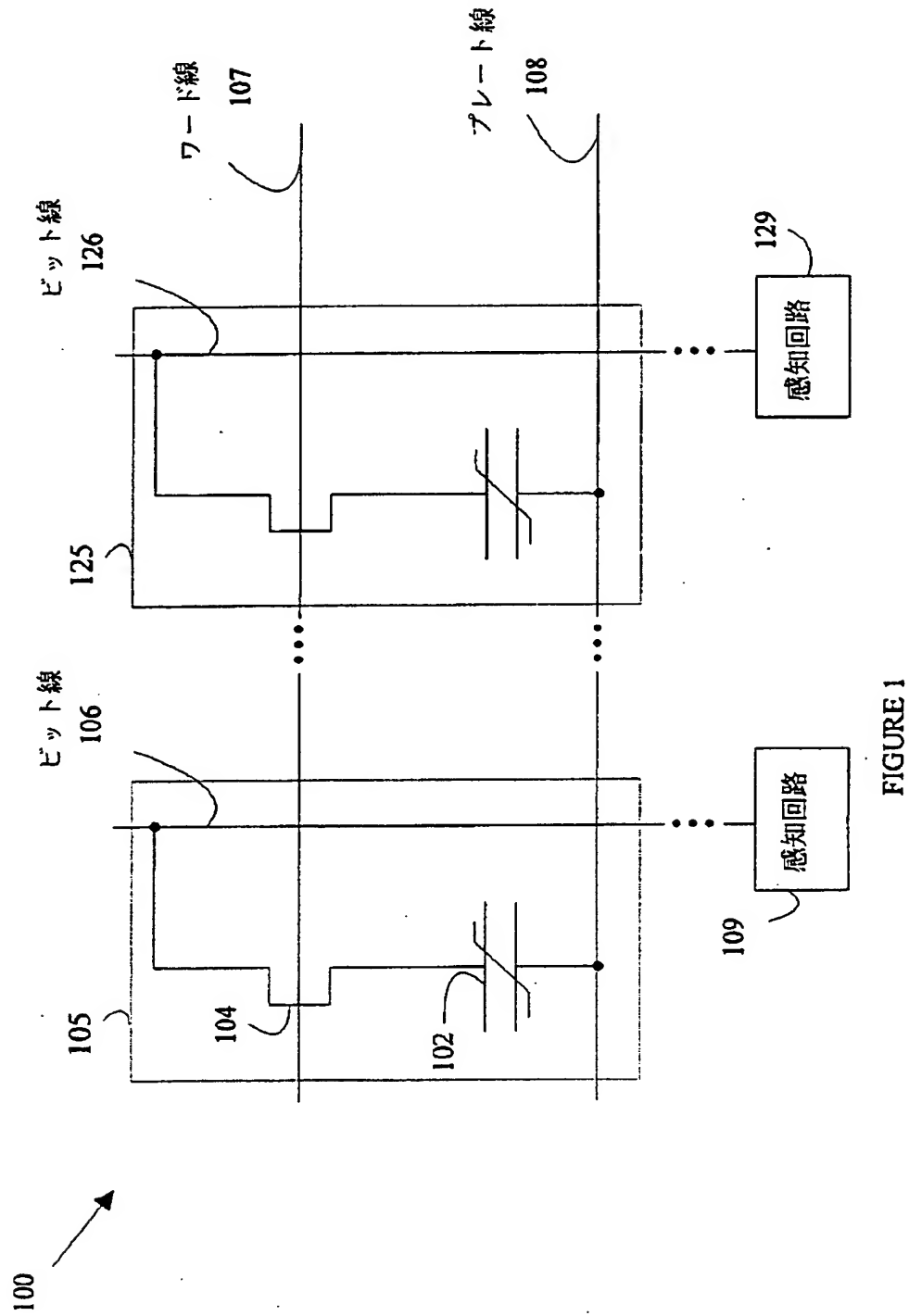
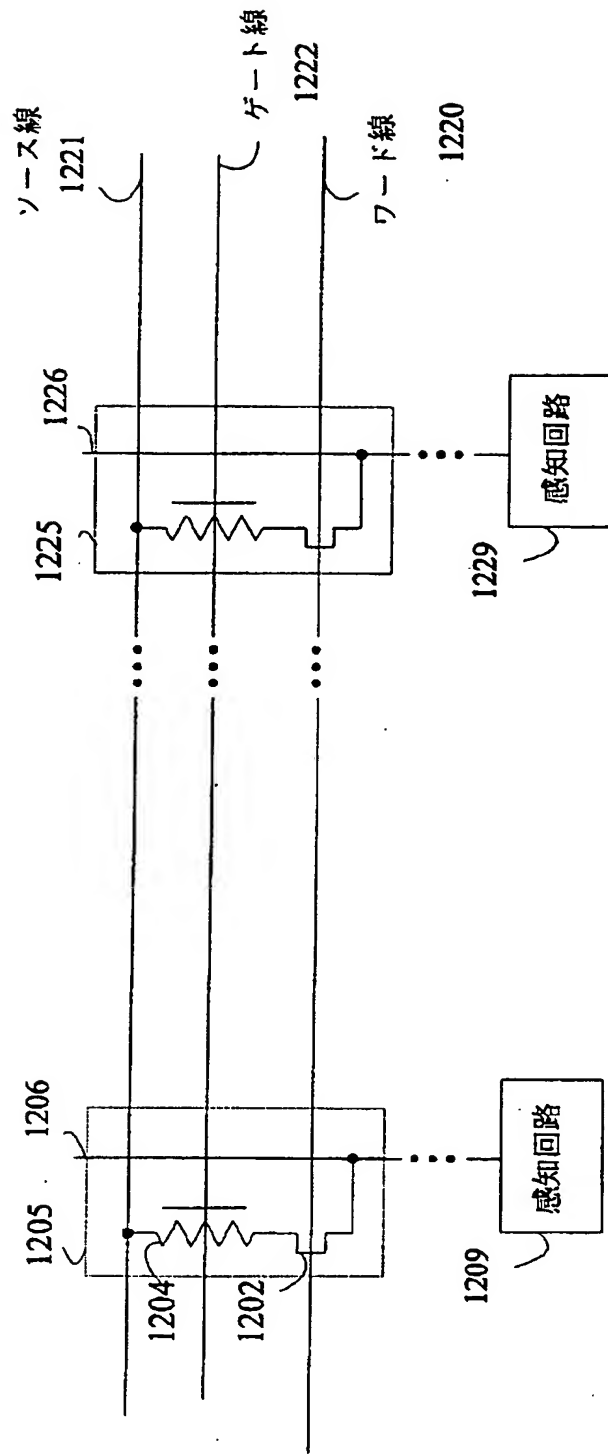


FIGURE 1

【図 2】

1200

FIGURE 2



【図 3】

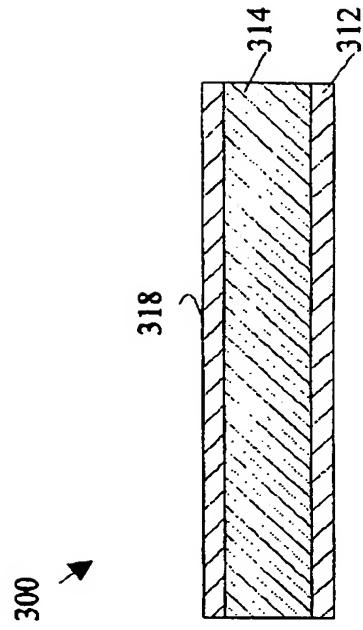


FIGURE 3

【図 4】

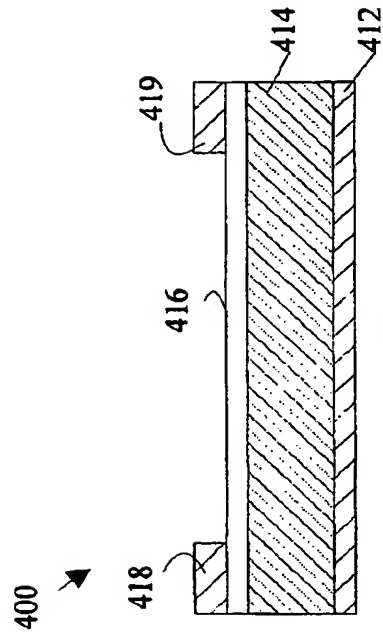


FIGURE 4

【図 8】

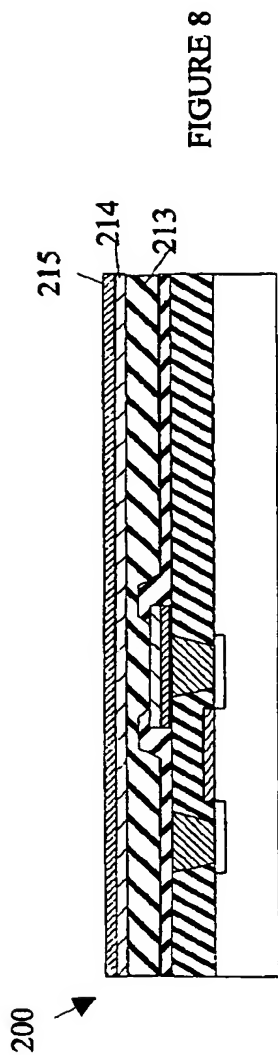
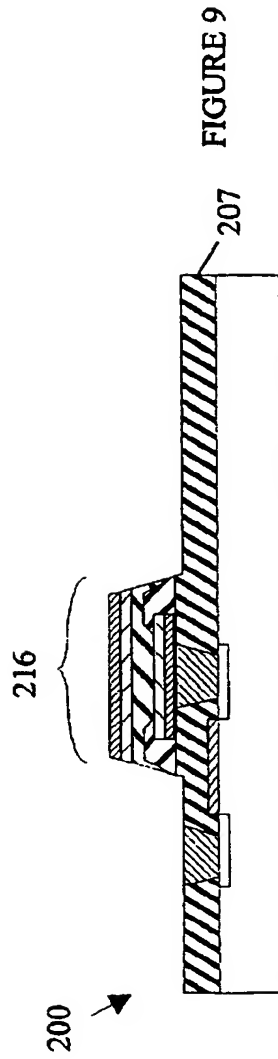
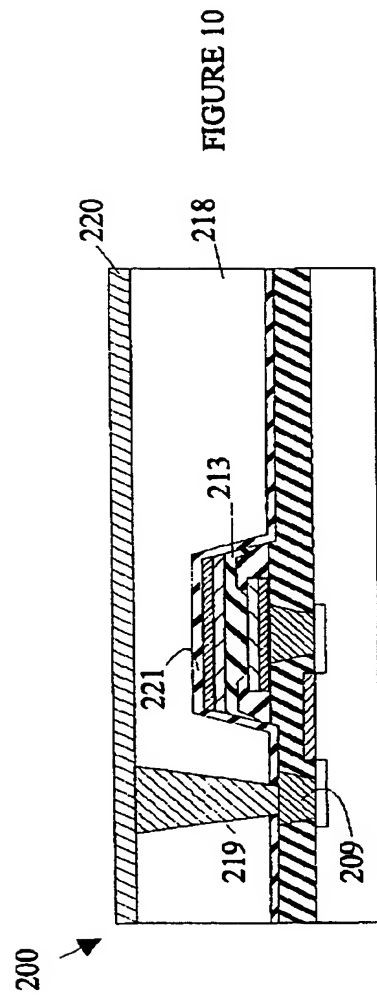


FIGURE 8

【図 9】



【図 1 0】



【図 5】

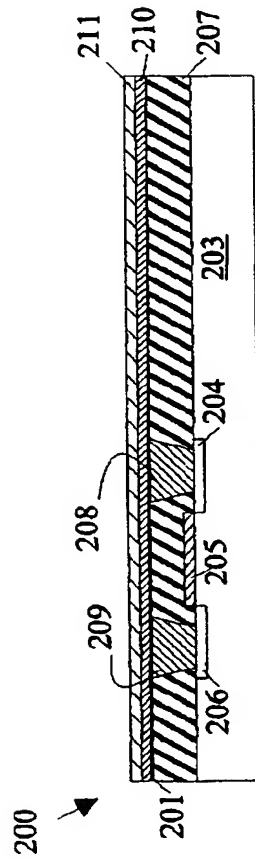
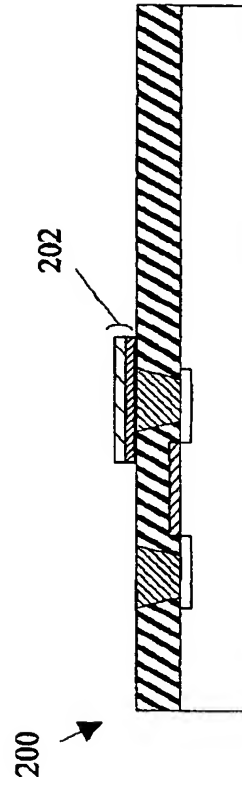


FIGURE 5

【図 6】

FIGURE 6



【図 7】

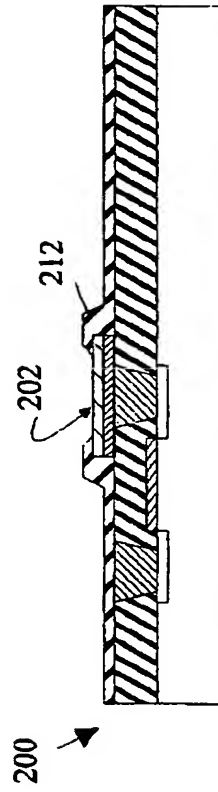


FIGURE 7

【手続補正書】

【提出日】 1 9 9 9 年 1 月 2 9 日

【補正内容】

請求の範囲

1. 第 1 の温度よりも低い温度で情報を記憶するように動作する強誘電性メモリセル (2 0 0) であって、

下部接点 (2 0 2) と、

前記第 1 の温度よりも高く 4 0 0 ° C よりも低いキュリー点を有する強誘電物質から成る誘電層 (2 1 3) であって、前記強誘電体は、前記第 1 の温度よりも低い温度で残留分極を有し、該残留分極を変えることによって前記情報を記憶するようになされている、誘電層 (2 1 3) と、

前記下部接点との間に前記誘電層 (2 1 3) を挟んでいる上部接点 (2 1 4、2 1 5) と、

酸素不透過性の物質から成る封緘層 (2 2 1) であって、該封緘層 (2 2 1) は、前記誘電層 (2 1 3) への酸素の流入又は前記誘電層からの酸素の流出を阻止するように構成されたもの、とを備えることを特徴とする強誘電性メモリセル。

2. 請求項 1 に記載の強誘電性メモリセルにおいて、前記強誘電物質は、鉛／ジルコニウムチタン酸塩から構成されること、を特徴とする強誘電性メモリセル。

3. 請求項 1 に記載の強誘電性メモリセルにおいて、前記下部接点 (2 0 2) は、白金電極から構成されること、を特徴とする強誘電性メモリセル。

4. 請求項 3 に記載の強誘電性メモリセルにおいて、前記上部接点 (2 1 4、2 1 5) は、白金電極から構成されること、を特徴とする強誘電性メモリセル。

5. 請求項 3 に記載の強誘電性メモリセルにおいて、前記上部接点 (2 1 4、2 1 5) は、半導体層と、第 1 及び第 2 の上部電極とから構成され、前記第 1 及び第 2 の上部電極は、前記半導体層の上で隔置されていること、を特徴とする強誘電性メモリセル。

6. 請求項 1 に記載の強誘電性メモリセルにおいて、前記酸素不透過性の物質は、チタンの酸化物から構成されること、を特徴とする強誘電性メモリセル。

7. 請求項 2 に記載の強誘電性メモリセルにおいて、前記強誘電物質は、+4 よりも大きな酸化状態を有する元素でドーピングされていること、を特徴とする強誘電性メモリセル。

8. 請求項 7 に記載の強誘電性メモリセルにおいて、前記ドーピング元素は、Nb, Ta 及び W から成る群から選択されること、を特徴とする強誘電性メモリセル。

9. 請求項 7 に記載の強誘電性メモリセルにおいて、前記ドーピング元素は、1 % と 8 % との間の濃度で存在すること、を特徴とする強誘電性メモリセル。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US97/13082

A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) : H01L 29/76

US CL : 257/295

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 257/295

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
APS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y, P	US 5,561,307 A (MIHARA ET AL.) 01 OCTOBER 1996 (01/10/96), COLUMN 13, LINES 24-41).	1-9
Y	US 5,119,154 A (GNADINGER) 02 JUNE 1992 (02/06/92), COLUMN 9, LINES 16-66.	1-9
X, P	US 5,541,807 A (EVANS, JR. ET AL.) 30 JULY 1996 (30/07/96), COLUMN 3 LINES 26-67.	1-9
Y, P	US 5,572,052 A (KASHIHARA ET AL.) 05 NOVEMBER 1996 (05/11/96), COLUMN 18, LINES 3-19.	1-9
Y	US 5,436,477 A (HASHIZUME ET AL.) 25 JULY 1995 (25/07/95), COLUMN 8, LINES 1-68.	1-9
Y	US 5,442,213 A (OKUDAIRA ET AL.) 15 AUGUST 1995 (15/08/95), COLUMN 19, LINES 1-68.	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	*T	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
*A" document defining the general state of the art which is not considered to be of particular relevance	*X	document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
*B" earlier document published on or after the international filing date	*Y	document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
*L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	*A	document member of the same patent family
*O" document referring to an oral disclosure, use, exhibition or other means		
*P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search

03 OCTOBER 1997

Date of mailing of the international search report

29 OCT 1997

Name and mailing address of the ISA/US
Commissioner of Patents and Trademarks
Box PCT
Washington, D.C. 20231

Facsimile No. (703) 305-3230

Authorized officer

IDA MARIE SOWARD

Telephone No. (703) 305-4889

フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 1 L 27/108

29/788

29/792